

**INPUT/OUTPUT DEVICE**

Patent Number: JP10207811  
Publication date: 1998-08-07  
Inventor(s): HAMADA MINORU  
Applicant(s):: MATSUSHITA ELECTRIC IND CO LTD  
Requested Patent: ☐ JP10207811  
Application Number: JP19970010852 19970124  
Priority Number(s):  
IPC Classification: G06F13/10  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide an input/output device which inputs and outputs data at a high speed.

**SOLUTION:** More than one program on a machine word level for successively reading data out of a fixed memory space for reading a register 18 for SPC control from a CPU 1 can be generated and the fastest program among them is different by computers. For the purpose, more than one program for reading data out of the fixed memory space successively is generated and stored as control means in a storage device 3. A timer 4 measures times that those control means require individually and the fastest control means is selected and written in the storage device 3. When the register 18 for SPC control is accessed thereafter, the control means which is stored in the storage device 3 and can gain access in the shortest time is used to input and output data at a high speed.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-207811

(43) 公開日 平成10年(1998) 8月7日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 13/10

識別記号

3 2 0

F I

G 0 6 F 13/10

3 2 0 A

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号

特願平9-10852

(22) 出願日

平成9年(1997) 1月24日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 浜田 稔

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

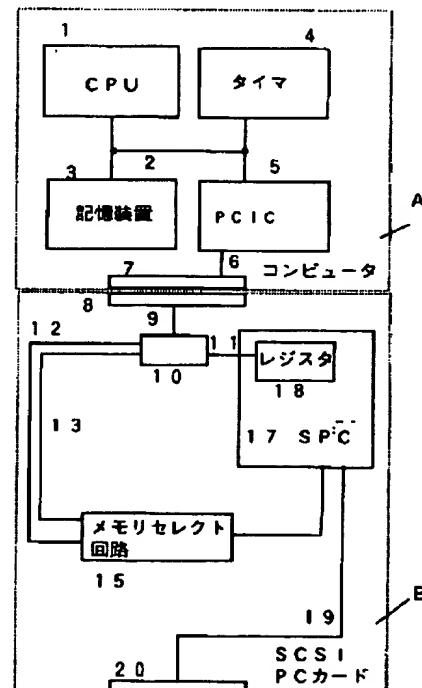
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 入出力装置

(57) 【要約】

【課題】 高速にデータのやりとりを行う入出力装置を提供することを目的とする。

【解決手段】 SPC制御用レジスタ18をCPU1から読む為の固定したメモリ空間から連続してデータを読み出す機械語レベルのプログラムは複数通り作成でき、かつその中での最速のプログラムはコンピュータ毎に異なる。そこで固定したメモリ空間から連続してデータを読み出すプログラムを複数作成し、複数の制御手段として記憶装置3に記憶させる。この複数通りの制御手段が個々に要する時間をタイマ4で測定し、最速の制御手段を選択し記憶装置3に書き込む。以後SPC制御用レジスタ18にアクセスする際には記憶装置3に記憶した最短の時間でアクセスできる制御手段を使用することにより高速にデータのやりとりを行う。



## 【特許請求の範囲】

【請求項1】CPUと、前記CPUからデータやアドレスや制御信号を他の装置に伝えるインターフェースバスと、前記インターフェースバスに接続されている記憶手段と、前記インターフェースバスに接続されているタイマと、前記インターフェースバスに接続されかつ入出力装置とデータのやり取りを行うレジスタと、前記レジスタにアクセスするための複数の制御手順を備え個々の制御手順が要する時間を前記タイマで計測し最速の制御手順を選択する制御手段と、その選択された最速の制御手順を用いて入出力装置からデータを入出力する制御手段を備えることを特徴とする入出力装置。

【請求項2】CPUと、前記CPUからデータやアドレスや制御信号を他の装置に伝えるインターフェースバスと、前記インターフェースバスに接続されている記憶手段と、前記インターフェースバスに接続されているタイマと、前記インターフェースバスに接続されかつ入出力装置とデータのやり取りを行うレジスタと、前記レジスタにアクセスするためのハードウェア的に異なる複数の入出力手段を備え個々の入出力手段での入出力に要する時間を前記タイマで計測し最速の入出力手段を選択する制御手段と、その選択された最速の入出力手段を用いて入出力装置からデータを入出力する制御手段を備えることを特徴とする入出力装置。

【請求項3】CPUと、前記CPUからデータやアドレスや制御信号を他の装置に伝えるインターフェースバスと、前記インターフェースバスに接続されている記憶手段と、前記インターフェースバスに接続されているタイマと、前記インターフェースバスに接続されかつ入出力装置とデータのやり取りを行うレジスタと、前記レジスタにアクセスするためのハードウェア的に異なる複数の入出力手段と複数の制御手順とを備え個々の入出力手段での入出力に要する時間と個々の制御手順が要する時間を前記タイマで計測し最速の入出力手段と制御手段の組み合わせを選択する制御手段と、その選択された最速の入出力手段と制御手段の組み合わせを用いて入出力装置からデータを入出力する制御手段を備えることを特徴とする入出力装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はコンピュータに接続する入出力装置に関するものである。

【0002】

【従来の技術】従来より、コンピュータに接続する入出力装置はモデムを接続するシリアルインターフェースやプリンタを接続するパラレルインターフェースが用いられているが、最近では大量かつ高速にデータのやり取りを必要とするSCSIインターフェースやネットワークインターフェースが使用されるようになってきている。

【0003】SCSIやネットワークデバイスの高速化

とCPU自体の高速化に伴い、コンピュータのインターフェースバスがデータの入出力のクリティカルバスとなっており、パーソナルコンピュータの業界では従来のISAバス等が変わり、高速なPCIバス等が普及しつつある。しかし現時点での普及度合いはISAバス等の低速バスが主流を占めている。

【0004】またインターフェースバスに新たな入出力装置を拡張する際は、拡張ボードをインターフェースバスに直接接続していたが、最近ではPCカードとよばれる名刺サイズの入出力拡張カードが普及してきた。このPCカードにも従来のインターフェースバスのISAバスに相当する低速な規格とPCIバスに相当する高速な規格が存在するが、現時点では高速な規格のPCカードはほとんど普及していない。

【0005】このように高速なCPUと高速な入出力装置の間で低速のインターフェースバスがクリティカルバスになっているという状況では、いかに効率よくインターフェースバスにデータを通すかが重要になる。例えばFAST SCSIとよばれるSCSIの規格では10MBYTE/秒の転送速度に対し、PCカードのバスは2MBYTE/秒程度の転送速度のためシステム全体としては2MBYTE/秒の転送速度になっている。すなわち低速なインターフェースバスに接続される高速な入出力装置の速度性能の差は、インターフェースバスにデータを通す方法の最適化の差になっており、各社この部分に注力している。

【0006】

【発明が解決しようとする課題】しかしながら、最も高速なデータ入出力手段及び制御手段はCPUのクロック、キャッシュメモリの有無、アクセスに必要なバスサイクル数等のハードウェア構成の違いによってコンピュータ毎に異なる。またPCカードにおいてはソケットサービスとよばれるPCカード用のバスコントローラの設定を行うドライバがWaitの設定を行っており、導入されているソケットサービスが異なると同じコンピュータでも最速のデータ入出力手段及び制御手段が違ってくる。このように、あらかじめ用意していたデータ入出力手段及び制御手段ではコンピュータのハード構成やドライバの設定によってデータの入出力が遅くなってしまうという問題点を有していた。

【0007】本発明は上記従来技術に鑑みてなされたもので、コンピュータに接続する入出力装置において、コンピュータのハードウェア構成やドライバの設定の違いによってタイミングが変化しても、高速にデータのやり取りを行う入出力装置を提供するものである。

【0008】

【課題を解決するための手段】本発明の請求項1に記載の入出力装置においては、入出力装置とデータのやり取りを行うレジスタにアクセスするための複数の制御手段を用意し、タイマを用いて最速の制御手順を選択し、以

後この最速の制御手段を用いて入出力装置からデータを入出力するとしたものである。

【0009】本発明の請求項2に記載の入出力装置においては、入出力装置とデータのやり取りを行うレジスタにアクセスするためのハードウェア的に異なる複数の入出力手段を用意し、タイマを用いて最速の入出力手段を選択し、以後この最速の入出力手段を用いて入出力装置からデータを入出力するとしたものである。

【0010】本発明の請求項3に記載の入出力装置においては、入出力装置とデータのやり取りを行うレジスタにアクセスするための複数の制御手段とハードウェア的に異なる複数の入出力手段を用意し、タイマを用いて複数の制御手段と複数の入出力手段の最速の組み合わせを選択し、以後この最速の組み合わせを用いて入出力装置からデータを入出力するとしたものである。

【0011】この本発明によれば、コンピュータのハードウェア構成やドライバの設定の違いによってタイミングが変化しても、高速にデータのやり取りを行う入出力装置が得られる。

【0012】

【発明の実施の形態】本発明の請求項1に記載の発明は、CPUと、前記CPUからデータやアドレスや制御信号を他の装置に伝えるインターフェースバスと、前記インターフェースバスに接続されている記憶手段と、前記インターフェースバスに接続されているタイマと、前記インターフェースバスに接続されかつ入出力装置とデータのやり取りを行うレジスタと、前記レジスタにアクセスするための複数の制御手順を備え個々の制御手順が要する時間を前記タイマで計測し最速の制御手段を選択する制御手段と、その選択された最速の制御手段を用いて入出力装置からデータを入出力する制御手段から構成されており、コンピュータのハードウェア構成やドライバの設定の違いによってタイミングが変化しても、高速にデータのやり取りを行う入出力装置が得られるという作用を有する。

【0013】本発明の請求項2に記載の発明は、CPUと、前記CPUからデータやアドレスや制御信号を他の装置に伝えるインターフェースバスと、前記インターフェースバスに接続されている記憶手段と、前記インターフェースバスに接続されているタイマと、前記インターフェースバスに接続されかつ入出力装置とデータのやり取りを行うレジスタと、前記レジスタにアクセスするためのハードウェア的に異なる複数の入出力手段を備え個々の入出力手段での入出力に要する時間を前記タイマで計測し最速の入出力手段を選択する制御手段と、その選択された最速の入出力手段を用いて入出力装置からデータを入出力する制御手段から構成されておりコンピュータのハードウェア構成やドライバの設定の違いによってタイミングが変化しても、高速にデータのやり取りを行う入出力装置が得られるという作用を有する。

【0014】本発明の請求項3に記載の発明は、CPUと、前記CPUからデータやアドレスや制御信号を他の装置に伝えるインターフェースバスと、前記インターフェースバスに接続されている記憶手段と、前記インターフェースバスに接続されているタイマと、前記インターフェースバスに接続されかつ入出力装置とデータのやり取りを行うレジスタと、前記レジスタにアクセスするためのハードウェア的に異なる複数の入出力手段と複数の制御手順を備え個々の入出力手段での入出力に要する時間と個々の制御手順が要する時間を前記タイマで計測し最速の入出力手段と制御手段の組み合わせを選択する制御手段と、その選択された最速の入出力手段と制御手段の組み合わせを用いて入出力装置からデータを入出力する制御手段から構成されており、コンピュータのハードウェア構成やドライバの設定の違いによってタイミングが変化しても、高速にデータのやり取りを行う入出力装置が得られるという作用を有する。

【0015】以下、本発明の実施の形態について図1から図5を用いて説明する。

（実施の形態1）図1は本発明の実施の形態1の構成を示すブロック図である。図2は本発明の実施の形態1の動作を示すフローチャートである。本実施の形態に於いてはSCSIインターフェース部はPCカードの形状を取っておりコンピュータから取り外し可能な状態になっている。

【0016】図1において1はCPU、2はインターフェースバス、3は記憶装置、4はタイマ、5はインターフェースバス2の信号をPCカード用のバスに変換する変換用PCIC、6はPCICから出力されるPCカード用のバス信号を伝達するコンピュータ側PCカード用バス回路、7はコンピュータ側PCカード用バス6によって伝えられたPCカード用バス信号をAのコンピュータから外部に出力しているコンピュータ側PCカード用コネクタ、8はコンピュータ側PCカード用バスコネクタ7と接続しPCカード用バス信号をBのSCSI PCカードの内部に取り込むカード側PCカード用バスコネクタ、9はカード側PCカード用バスコネクタ8からの信号を伝えるカード側PCカード用バス、10はPCカード用バスから必要な信号を取り出すバスインターフェース回路、11はデータバス、12はアドレスバス、13は制御信号バス、15はメモリセレクト回路、17はSCSIのプロトコルを制御しSCSIのデバイスとデータのやり取りを行うSPC IC、18はSPC IC17とAのコンピュータがデータの入出力を行うSPC制御用レジスタ、19はSPC IC17と入出力を行うSCSIバス、20はSCSIバス19をBのカードの外部のSCSIバスと接続するためのSCSIバス用コネクタである。

【0017】以上のように構成について以下その動作について説明する。SPC制御用レジスタ18をCPU1

から読む場合はメモリセレクト回路15からセレクト信号を発生させる必要がある。メモリセレクト回路15はアドレスバスが0番地でセレクトされるように構成されているが、実際にCPU1がSPC制御用レジスタ18を読む為のアドレスは変換用PCIC5とバスインターフェース回路10で変換されオフセットがつき、そのオフセット値は変換用PCIC5やバスインターフェース回路10自体のレジスタを設定することにより可変となっている。ここでは仮にCPU1がメモリ空間のC0000h番地を読み込むとメモリセレクト回路15がセレクト信号を発生させる設定になっているとする。本実施の形態ではCPU1にはインテル社のi486を使用しており、固定したメモリ空間から連続してデータを読み出す機械語レベルのプログラムは複数通り作成でき、かつその中で最速のプログラムは特定できない。そこで固定したメモリ空間から連続してデータを読み出す機械語レベルのプログラムを複数作成し、複数の制御手段として記憶装置3に記憶させる。この複数通りの制御手段が個々に要する時間をタイマ4で測定し、最速の制御手段を選択し記憶装置3に書き込む。

【0018】この動作を図2のフローチャートを使って説明する。まずカウンタの初期値を0に、最速時間を最大値に設定する(ステップ1)。このカウンタは1ずつ増加させ(ステップ12)3になるまで3回ループしている(ステップ13)。それぞれのカウンタ値に応じて3通りの制御手段を用意している(ステップ6、7、8)。これらのアクセスに要する時間をステップ2で計測開始しステップ9で計測停止することにより測定し、最速時間と比較する(ステップ10)。最速時間より今回の読み込みに要する時間が短ければ最速時間に今回の読み込みに要した時間を代入し、最速方法に今のカウンタ値を代入する(ステップ11)。この処理を3回繰り返した後でこれらの3つの方法のうちの最速方法を記憶装置に記憶させ(ステップ14)、終了する。

【0019】以後SPC制御用レジスタ18にアクセスする際には記憶装置3に記憶した最短の時間でアクセスできる制御手段を使用する。

【0020】(実施の形態2)図3は請求項2の一実施の形態に於けるSCSIインターフェース入出力装置のブロック図である。図4はデータの転送に要する時間を計測し最も高速な入出力手段を判断し選択する動作を示すフローチャートである。本実施例に於いてもSCSIインターフェース部はPCカードの形状を取っておりコンピュータから取り外し可能な状態になっている。

【0021】図3は図1に対してI/Oセレクト回路14とOR回路16が追加されている。

【0022】以上のように構成について以下その動作について説明する。SPC制御用レジスタ18をCPU1から読む場合はI/Oセレクト回路14からセレクト信号を発生させる方法とメモリセレクト回路15からセ

レクト信号を発生させる2通りの方法がある。I/Oセレクト回路14はアドレスバスが0番地で、制御信号バス13中のIORD信号(CPUがI/O空間のデータをリードするときにアサートされる)がアサートされたときにセレクト信号が発生する。メモリセレクト回路15はアドレスバスが0番地で、制御信号バス13中のOE信号(CPUがメモリ空間のデータをリードするときにアサートされる)がアサートされたときにセレクト信号が発生する。どちらかのセレクト信号が発生すればOR回路16でSPCIC17にセレクト信号が伝達される。実際にCPU1がSPC制御用レジスタ18を読む為のアドレスは変換用PCIC5とバスインターフェース回路10で変換されオフセットがつき、そのオフセット値は変換用PCIC5やバスインターフェース回路10自体のレジスタを設定することにより可変となっている。

【0023】このメモリ空間上のレジスタを読み書きするのに要する時間とI/O空間上のレジスタを読み書きするのに要する時間をタイマ4で測定し、速い方の入出力手段を選択し記憶装置3に書き込む。

【0024】この動作を図4のフローチャートを使って説明する。まずカウンタの初期値を0に、最速時間を最大値に設定する(ステップ1)。このカウンタは1ずつ増加させ(ステップ12)2になるまで2回ループしている(ステップ13)。それぞれのカウンタ値に応じて2通りのアクセス方法を用意しており、そのうちの1つがI/O空間経由の読み込み(ステップ4)。もう一つがメモリ空間経由の読み込みになっている(ステップ6)。これらのアクセスに要する時間をステップ2で計測開始しステップ9で計測停止することにより測定し、最速時間と比較する(ステップ10)。最速時間より今回の読み込みに要する時間が短ければ最速時間に今回の読み込みに要した時間を代入し、最速方法に今のカウンタ値を代入する(ステップ11)。この処理を2回繰り返した後でこれらの2つの方法のうちの最速方法を記憶装置に記憶させ(ステップ14)、終了する。

【0025】以後SPC制御用レジスタ18にアクセスする際には記憶装置3に記憶した最短の時間でアクセスできる入出力手段を使用する。

【0026】なお、ハードウェア的に異なる複数の入出力手段としてメモリ空間上に配置する手段とI/O間上に配置する手段を説明したが、DMAを用いても同様の効果が得られる。

【0027】(実施の形態3)図3は請求項3の一実施形態に於けるSCSIインターフェース入出力装置のブロック図である。図5はデータの転送に要する時間を計測し最も高速な制御手順と入出力手段の組み合わせを判断し選択する動作を示すフローチャートである。

【0028】この動作を図5のフローチャートを使って説明する。まずカウンタの初期値を0に、最速時間を最

大値に設定する(ステップ1)。このカウンタは1ずつ増加させ(ステップ12)4になるまで4回ループしている(ステップ13)。それぞれのカウンタ値に応じて4通りのアクセス方法を用意しており、そのうちの1つが1/O空間経由の読み込み(ステップ4)、他がメモリ空間経由の異なる3通りのアクセス方法になっている(ステップ6、7、8)。これらのアクセスに要する時間をステップ2で計測開始しステップ9で計測停止することにより測定し、最速時間と比較する(ステップ10)。最速時間より今回の読み込みに要する時間が短ければ最速時間に今回の読み込みに要した時間を代入し、最速方法に今のカウンタ値を代入する(ステップ11)。この処理を4回繰り返した後でこれらの4つの方法のうちの最速方法を記憶装置に記憶させ(ステップ14)、終了する。

【0029】以後SPC制御用レジスタ18にアクセスする際には記憶装置3に記憶した最短の時間でアクセスできる制御手段と入出力手段の組み合わせを使用する。

【0030】

【発明の効果】以上のように本発明は、コンピュータのハードウェア構成やドライバの設定の違いによってタイミングが変化しても、高速にデータのやりとりを行うという有利な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施の形態1の構成を示すブロック図

【図2】本発明の実施の形態1の動作を示すフローチャート

\*【図3】本発明の実施の形態2及び形態3の構成を示すブロック図

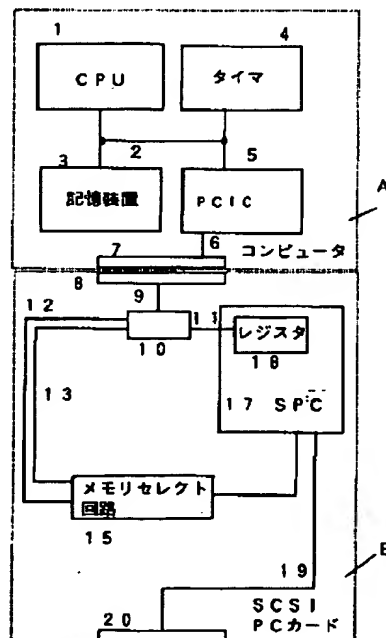
【図4】本発明の実施の形態2の動作を示すフローチャート

【図5】本発明の実施の形態3の動作を示すフローチャート

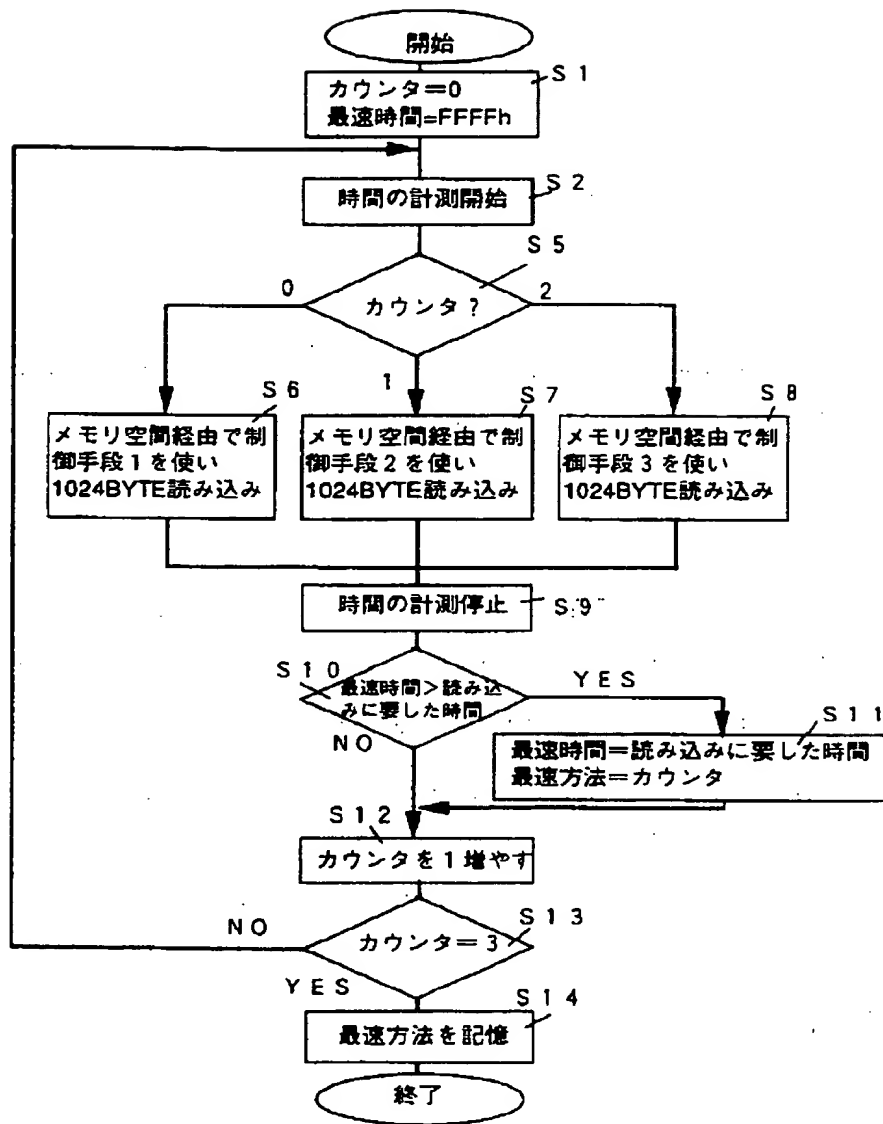
【符号の説明】

- 1 CPU
- 2 インターフェースバス
- 3 記憶装置
- 4 タイマ
- 5 変換用PCIC
- 6 コンピュータ側PCカード用バス
- 7 コンピュータ側PCカード用バスコネクタ
- 8 カード側PCカード用バスコネクタ
- 9 カード側PCカード用バス
- 10 バスインターフェース回路
- 11 データバス
- 12 アドレスバス
- 13 制御信号バス
- 14 I/Oセレクト回路
- 15 メモリセレクト回路
- 16 OR回路
- 17 SPC-IC
- 18 SPC制御用レジスタ
- 19 SCSIバス
- \* 20 SCSIバス用コネクタ

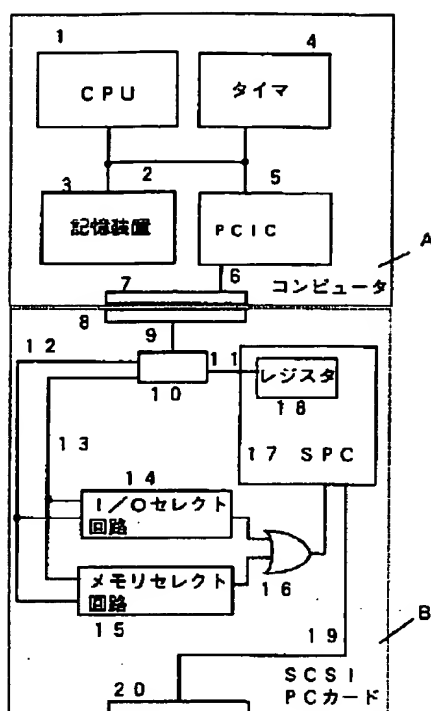
【図1】



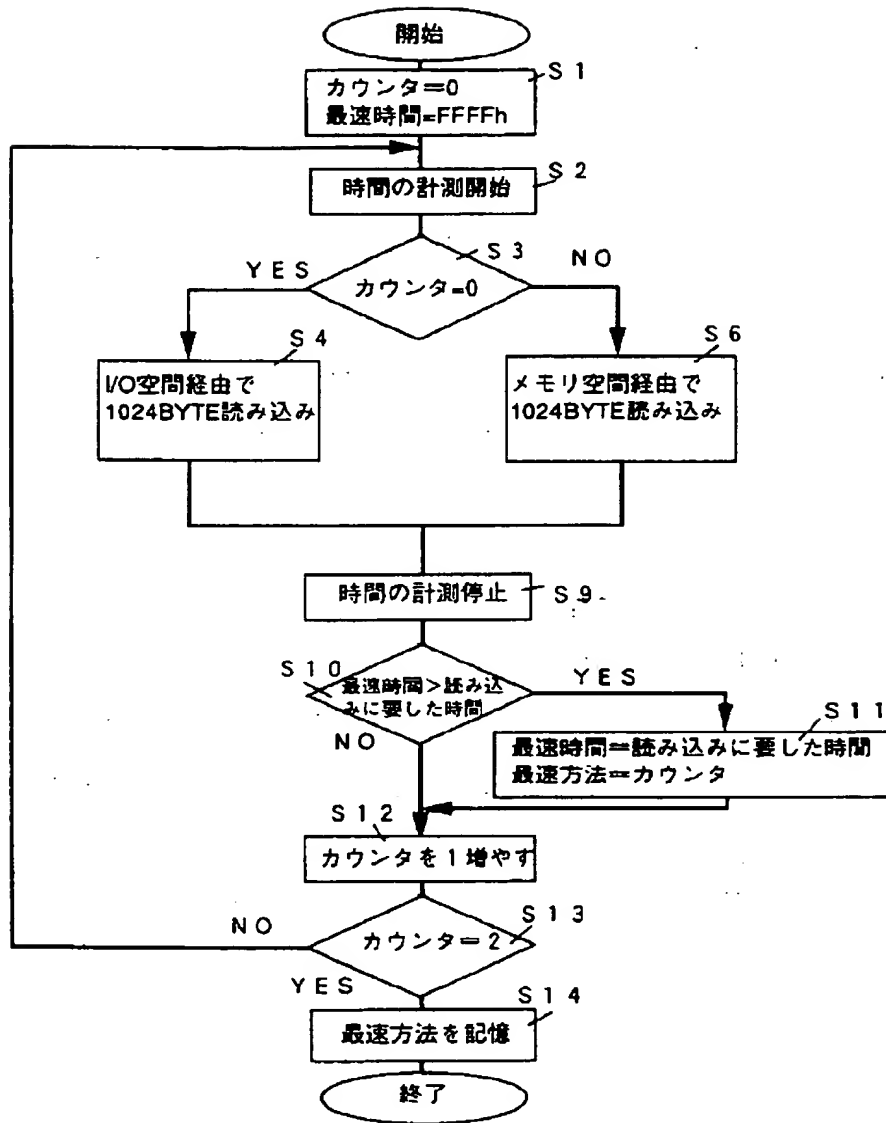
〔図2〕



【図3】



【図4】



【図5】

